

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MEMORY CONTROL SYSTEM AND MEMORY CONTROL CIRCUIT

Patent Number: JP10105457
Publication date: 1998-04-24
Inventor(s): KOBAYASHI KAZUYUKI
Applicant(s): NEC DATA TERMINAL LTD
Requested Patent: JP10105457
Application Number: JP19960258520 19960930
Priority Number(s):
IPC Classification: G06F12/06; G06F12/02
EC Classification:
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To control dynamic random access at high speed.
SOLUTION: This system is provided with a memory control part 2 whereby m-times of page mode access are automatically executed to DRAM 3 for one time access of CPU 1 in configuration where the data bus width of CPU 1 is the m-fold one (m is a natural number being more than two) as compared with that of DRAM 3. The memory control part 2 identifies CPU access (an address, a read signal and a write signal indicating whether a reading operation or a writing operation and data at the time of the writing operation) in configuration where the data bus width of CPU 1 is the m-fold one as compared with that of DRAM 3. From the identification result, the memory control part 2 performs page mode access to DRAM 3 without the intervention of CPU 1. Thus, a dynamic random access in configuration where the data bus width of CPU 1 is the m-fold one as compared with that of a memory is controlled at high speed.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-105457

(43)公開日 平成10年(1998)4月24日

(51)Int.Cl. ⁸	識別記号	F I
G 0 6 F 12/06	5 2 1	G 0 6 F 12/06 5 2 1 A
12/02	5 9 0	12/02 5 9 0 A

審査請求 有 請求項の数 9 O L (全 6 頁)

(21)出願番号 特願平8-258520

(22)出願日 平成8年(1996)9月30日

(71)出願人 000232025

日本電気データ機器株式会社
東京都調布市上石原3丁目49番地1

(72)発明者 小林 和幸

東京都調布市上石原三丁目49番地1 日本
電気データ機器株式会社内

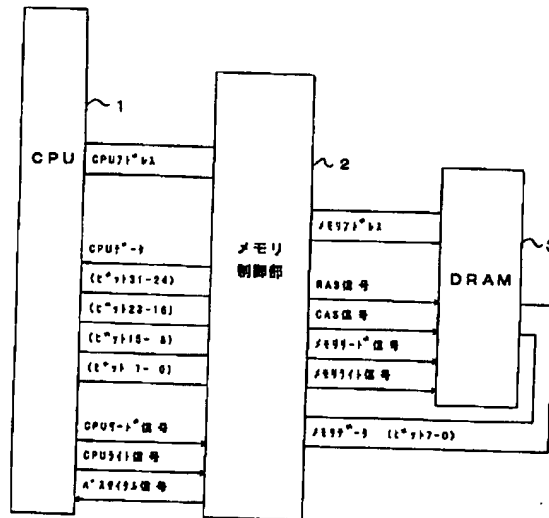
(74)代理人 弁理士 岩佐 義幸

(54)【発明の名称】 メモリ制御システムおよびメモリ制御回路

(57)【要約】

【課題】 ダイナミック・ランダムアクセスの制御を高速で行うことにある。

【解決手段】 CPU1のデータバス幅が、DRAM3のバス幅のm (mは2以上の自然数) 倍の構成時に、CPU1の1回のアクセスに対し、DRAM3に対してm回のページモード・アクセスを自動的に行うことを可能とするメモリ制御部2を有する。CPU1のデータバス幅が、DRAM3のバス幅のm倍の構成時に、メモリ制御部2は、CPUのアクセス(アドレス、読み込み動作か書き込み動作かを示すリード信号及びライト信号、書き込み動作時は、データ)を識別する。この識別結果からメモリ制御部2は、CPU1の介在なしに、DRAM3に対してページ・モード・アクセスを行うことができる。これにより、CPU1のデータバス幅が、メモリのバス幅のm倍の構成時のダイナミック・ランダムアクセスの制御を高速で行うことが可能になる。



【特許請求の範囲】

【請求項1】中央処理手段と記憶手段とを有して記憶制御が行なわれるメモリ制御システムにおいて、前記記憶手段を制御する記憶制御手段と、前記中央処理手段のデータバス幅が、前記記憶手段のデータバス幅の m 倍 (m は2以上の自然数)のときに、前記記憶制御手段から送出する制御信号によって前記中央処理手段のアドレス情報を識別する識別手段と、を備え、前記識別手段における識別結果から前記記憶制御手段に前記中央処理手段の介在なしに前記記憶手段に対して前記中央処理手段のデータを読み込み制御することを特徴とするメモリ制御システム。

【請求項2】前記中央処理手段のデータバス幅に対して $1/(2 \times m)$ 倍のデータバス幅を有するメモリを備えたことを特徴とする請求項1に記載のメモリ制御システム。

【請求項3】中央処理手段と記憶手段とを有して記憶制御を行うメモリ制御システムにおいて、前記記憶手段を制御する記憶制御手段と、前記中央処理手段のデータバス幅が、前記記憶手段のデータバス幅の m 倍 (m は2以上の自然数)のときに、前記記憶制御手段から送出する制御信号によって前記中央処理手段のアドレス情報を識別する識別手段と、を備え、前記識別手段における識別結果から前記記憶制御手段は、前記中央処理手段の介在なしに前記記憶手段に対してデータ列の最下位に位置するローアドレス情報を共通にしたページモードアクセスを行うことを特徴とするメモリ制御システム。

【請求項4】前記中央処理手段から1回のアクセスをすると、前記ページモードアドレスにより高速でデータを処理することを特徴とする請求項3に記載のメモリ制御システム。

【請求項5】CPUとメモリとを有してメモリ制御が行なわれるメモリ制御回路において、前記メモリを制御するメモリ制御回路と、前記CPUのデータバス幅が、前記メモリのデータバス幅の m 倍 (m は2以上の自然数)のときに、前記メモリ制御回路から送出する制御信号によって前記CPUのアドレス情報を識別する識別回路と、を備え、前記識別回路における識別結果から前記メモリ制御回路に前記CPUの介在なしに前記メモリに対して前記CPUのデータを読み込み制御することを特徴とするメモリ制御回路。

【請求項6】前記CPUのデータバス幅に対して $1/(2 \times m)$ 倍のデータバス幅を有するメモリを備えたことを特徴とする請求項5に記載のメモリ制御回路。

【請求項7】CPUとメモリとを有して記憶制御を行うメモリ制御回路において、前記メモリを制御するメモリ制御回路と、前記CPUのデータバス幅が、前記メモリのデータバス

幅の m (m は2以上の自然数)倍のときに、前記メモリ制御回路から送出する制御信号によって前記CPUのアドレス情報を識別する識別回路と、を備え、前記識別回路における識別結果から前記メモリ制御手段は、前記CPUの介在なしに前記メモリに対してデータ列の最下位に位置するローアドレス情報を共通にしたページモードアクセスを行うことを特徴とするメモリ制御回路。

【請求項8】前記CPUから1回のアクセスをすると、前記ページモードアドレスにより高速でデータを処理することを特徴とする請求項7に記載のメモリ制御回路。

【請求項9】前記メモリは、ダイナミック・ランダムアクセスメモリからなることを特徴とする請求項7に記載のメモリ制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ制御システムおよびメモリ制御回路に関する。

【0002】

【従来の技術】従来、この種のメモリの制御システムは、図4に示すものがある。図4においては、CPU100がDRAM103のデータバス幅に合わせたアクセスを行うことで、DRAM103への書き込み、読み込みを行っている。例えば、CPU100のバス幅が32ビットで、DRAM103のアドレスが8ビットの場合を例示して説明する。このシステムは、バスマスタとなるCPU100、データが格納されるDRAM103、CPU100からの情報に基づいてDRAM103を制御するメモリ制御部102から成る。

【0003】CPU100は、DRAM103にデータを書き込む時は、32ビットのデータバスのうちの8ビット分のバスを使用して、メモリ制御部102にデータを転送する。またメモリ制御部102は、その8ビットのデータをDRAM103に書き込む。また読み込み時も同様にして、CPU100はメモリ制御部103を介して、DRAM103から8ビットのデータを読み込む。

【0004】また、図5においては、公開昭60-57456号公報に示されるように、 $2 \times n$ ビットのデータバス幅を有するCPU110に対し、 n ビットのデータバス幅を有するメモリ素子112を用いる。このシステムでは、データバス幅が、 $2 \times n$ (n は1以上の自然数)倍のCPU110、データバス幅が n 倍のメモリ素子112、CPU110がメモリ素子112へアクセスを可能にするためのメモリ制御回路113、メモリ素子112へのアドレスを生成するアドレス変換器114、CPU110の $2 \times n$ ビットのCPUデータバス、 $2 \times n$ ビットのうち上位 n ビットのデータバスである上位バス、下位 n ビットのデータバスである下位バス、メモリ素子と接続されている n ビットのメモリデータバスか

ら構成される。

【0005】CPU110が $2 \times n$ ビットのデータをメモリ素子112に書き込む時は、 n ビットの上位データは、CPU110のデータバス、トランシーバ118、119を介してマルチプレクサ122に入力する。また n ビットの下位データは、CPUデータバス、トランシーバ118、120を介してマルチプレクサ122に入力する。ここで、アドレス変換器114は、メモリ素子112に対して、下位データを格納するためのアドレスを生成する。またメモリ制御回路113は、メモリ素子112に下位データを書き込む制御信号を出力する。下位データの書き込みが終了したら、アドレス変換器114は、上位データを格納するためのアドレスを生成し、メモリ制御113が制御信号を生成して、メモリ素子112に上位データを書き込む。

【0006】また読み込み時は、アドレス変換器114の下位データの格納先のアドレスから、メモリ素子112が下位データを出力し、この下位データをレジスタ121で保持する。その後、アドレス変換器114は、上位データの格納先のアドレスを出力して、メモリ素子122から上位データを読み出す。これまでのシステムでは、レジスタ121の下位データとメモリ素子112から出力されている上位データを合成して、CPU10に伝達することにより、CPU110が $2 \times n$ ビットのデータを読み出せるようになる。

【0007】

【発明が解決しようとする課題】しかしながら、この種のメモリシステムは、CPUのデータバスを $1/n$ しか接続していない場合に、データを書き込み/読み出すため、CPUが n 回データを出力/入力されなくてはならず、また書き込み時にはデータを n 分割してアドレスを生成し、 n 回DRAMに書き込んでいた。また読み出し時には、DRAMから n 回読み出して、そのデータを各ラッチし、一括してCPUが取り込んでも、結局、 n 回のメモリアクセスサイクルが必要であるために、CPUのデータバス幅分の読み出し/書き込みを行う際に、DRAMを n 回アクセスするサイクルが必要となり、高速でメモリを制御できなくなるという問題があった。

【0008】本発明の目的は、CPUのデータバス幅が、メモリのバス幅の m (m は2以上の自然数) 倍の構成時のダイナミック・ランダムアクセスの制御を高速で行うことが可能なメモリ制御システムおよびメモリ制御回路を提供することにある。

【0009】

【課題を解決するための手段】本発明のダイナミック・ランダム・アクセス・メモリのメモリ制御システムおよびメモリ制御回路は、CPUのデータバス幅が、DRAMのバス幅の m 倍の構成時に、CPUの1回のアクセスに対し、DRAMに対して m 回のページモード・アクセスを自動的に行うことを可能とするメモリ制御手段を有

する。

【0010】CPUのデータバス幅が、DRAMのバス幅の m 倍の構成時に、メモリ制御手段は、CPUのアクセス(アドレス、読み込み動作か書き込み動作かを示すリード信号及びライト信号、書き込み動作時は、データ)を識別する。この識別結果からメモリ制御手段は、CPUの介在なしに、DRAMに対してページ・モード・アクセスを行うことができる。

【0011】これにより、CPUのデータバス幅が、メモリのバス幅の m の構成時のダイナミック・ランダムアクセスの制御を高速で行うことが可能になる。

【0012】

【発明の実施の形態】次に、本発明のメモリ制御システムおよびメモリ制御回路の構成について図面を参照して詳細に説明する。図1は、本発明の構成を示すブロック図である。図1を参照すると、本構成例でのバスマスタとなるデータバス幅が32ビットのCPU1を用いる。

【0013】本実施例では、CPU1から出力されるデータの格納先であるCPUアドレス4、実際の書き込みまたは読み出したデータであるCPUデータ5、CPU1が、そのバスサイクルの動作を示すCPUリード信号6およびCPUライト信号7、CPU1に動作終了を通知するバスサイクル信号8、CPU1からの情報の制御を行う。これらの情報を識別して、実際にメモリの制御を行うのは、メモリ制御部2である。

【0014】このメモリ制御部2は、実際のメモリの格納先を示すメモリアドレス9、メモリに格納する情報を示すメモリデータ10、メモリ素子へのロウアドレス情報の取り込み時期を示すRAS信号11、メモリ素子へのカラムアドレス情報の取り込み時期を示すCAS信号12、メモリアクセスの読み出し/書き込み動作をするメモリリード信号13、メモリライト信号14およびメモリデータ10をDRAM3に出力する。

【0015】次に、図1のメモリ制御部2の詳細な構成について説明する。図2は、図1のメモリ制御部2の内部を示す詳細ブロック図である。図2を参照すると、CPU1から出力されたCPUアドレス11を取り込み、メモリアドレスを生成するアドレスデコード・アドレスジェネレータ10、CPU1およびDRAM3の制御信号の取り込み、生成を行うタイミングジェネレータ12、CPU1からの32ビットのデータをDRAM3のデータ幅8ビット毎に分けて取り込むデータバッファ13~16、DRAM3からの8ビットのデータをラッチして、その出力が、分割されているCPU1の8ビット毎のデータバスに接続されているデータラッチ17~20から構成される。

【0016】次に、図1および図2の回路の動作について説明する。図3は、図1の動作を示すタイムチャートを示すもので、図3(1)~図3(11)のアドレス、データおよび信号からなる。

【0017】まず、図1のCPU1が、DRAM3からメモリデータを読み込む動作を図2に基づいて説明する。図2において、動作を開始する(図3(A))。このとき、CPU1は、CPUアドレス11を受けたアドレスデコードに、ロウアドレスを出力する(図3

(B))。次に、CPU1からのリード信号18の出力を受けたタイミングジェネレータ12は、バスサイクル信号2をイネーブルにし、CPU1の動作を延長させかつ、リードシーケンスを示すリード信号23とRAS信号21をDRAM3に対して出力し、その後DRAMアクセスが終了するまで出力を続ける(図3(C))。図1のDRAM3は、このRAS信号11の立ち下がり時に、ロウアドレス情報を取り込む。

【0018】次に、図2のタイミングジェネレータ12およびCPUアドレス11の情報からアドレスデコード・アドレスジェネレータ10は、メモリアドレス上にカラムアドレスを出力する(図3(D))。図2のタイミングジェネレータ2は、このカラムアドレスの出力がされた後に、DRAM3に対するCAS信号22を出力する(図3(F))。図1のDRAM3は、CAS信号12の立ち下がり時に、カラムアドレス情報を取り込む。その後DRAM3は、ロウアドレスとカラムアドレス情報及びリード信号の出力から、そのアドレスに格納されているデータを、メモリデータ上に出力する。

【0019】図2のタイミングジェネレータ2は、メモリデータ17上にそのメモリデータを出力したら、データラッチ7にそのメモリデータをラッチさせるラッチ信号を出力する。このラッチ信号により、データラッチ7は、メモリデータを保持する。またこの時には、図2のアドレスデコード・アドレスジェネレータ10は、1番地更新したカラムアドレス情報をメモリアドレス12に送出する(図3(E))。図2のタイミングジェネレータ2は、このカラムアドレスの出力がされた後、DRAM3に対するCAS信号22を出力する(図3(G))。図1のDRAM3は、CAS信号12の立ち下がり時に、カラムアドレス情報を取り込む。その後DRAM3は、前述したロウアドレスと新規に取り込んだカラムアドレス情報およびリード信号の供給により、そのアドレスに格納されているデータを、メモリデータ上に出力する。

【0020】タイミングジェネレータ2は、メモリデータ17上にそのメモリデータを出力したら、データラッチ8にメモリデータをラッチさせるラッチ信号を出力する。データラッチ8は、このラッチ信号により、ジェネレータ1は、1番地更新したカラムアドレス情報をメモリアドレス12に出力する(図3(F))。以上のような動作で、図1のDRAM13から、CPU1のデータ幅分のデータ、つまり、32ビットのデータを図2のデータラッチ17~20に取り込んだら、タイミングジェネレータ2は、バスアクセス信号20をディスネーブル

にする。このときには、CPU1は、ディスネーブルを受けると、バスサイクルの終了を判断し、CPUデータ32ビット、つまり、図2のデータラッチ17~20の出力データ、つまり、DRAM3の格納データ32ビット分を取り込む。

【0021】以上の動作により、CPU1は意識しないで、DRAMから高速につまり、ページ・モードでCPU1のデータ幅分のデータを読み込むことが可能になる。

【0022】また、図1のCPU1がDRAM3にデータを書き込む時も、図2のCPUアドレス11のアドレス情報、それに伴うメモリアドレス12、RAS信号21、CAS信号22の遷移は、読み込み動作時と同様である(図3(H)~図3(J))。またこの時、書き込みデータは、図1のデータ5として出力される。

【0023】図2のタイミングジェネレータ12は、最初のカラムアドレス確定時(図(1))に、データバッファ3をイネーブルにする。すると、メモリデータ17上に、CPUデータ16(ビット0~7)が出力され、その時にタイミングジェネレータ12は、メモリライト信号24をイネーブルにする(図3(K))。

【0024】またDRAM3は、メモリライト信号14を受けた時のデータを、ロウアドレス、カラムアドレスに相当する番地に格納する。また、その後、図2のアドレスデコード・アドレスジェネレータ10が1番地更新したカラムアドレスを出力し、タイミングジェネレータ2は、データバッファ4をイネーブルにして、メモリデータ17上に、CPUデータ17(ビット8~15)を出力する。図1のDRAM3は、そのデータを次のアドレスに格納する。

【0025】以上の動作で、DRAM3上に、図2のデータ14(ビット23~16)、データ15(ビット31~24)を順次格納して行く。このようにして、CPUが委譲しないで、DRAMに高速に、つまり、ページ・モードでCPU1のデータ幅分のデータを書き込むことが可能となる。

【0026】以上に説明したダイナミック・ランダム・アクセス・メモリのメモリ制御システムおよびメモリ制御回路は、CPU1のデータバス幅が、DRAM3のバス幅のm倍の構成時に、CPU1の1回のアクセスに対し、DRAM3に対して、m回のページモード・アクセスを自動的に行うことを可能とするメモリ制御部2を有する。CPU1のデータバス幅が、DRAM3のバス幅のn倍の構成時に、メモリ制御部2は、CPU1のアクセス(アドレス、読み込み動作か書き込み動作かを示すリード信号及びライト信号、書き込み動作時は、データを識別する。この識別結果からメモリ制御部2は、CPU1の介在なしに、DRAM2に対してページ・モード・アクセスを行うことができる。これにより、CPU1のデータバス幅が、DRAM3のバス幅のmの構成時の

ダイナミック・ランダムアクセスの制御を高速で行うことが可能になる。

【0027】

【発明の効果】以上に説明した発明においては、CPUからのアクセスを識別し、DRAMへのアクセスを、CPUの介在なしにページ・モードアクセスで行うために、CPUのデータバス幅が、DRAMのデータバス幅m倍（mは2以上の自然数）の時、CPUのDRAMアクセスを高速で行うことが可能となる。

【0028】また本発明によれば、CPUのデータバス幅が、メモリのバス幅のm（mは2以上の自然数）の構成時のダイナミック・ランダムアクセスの制御を高速で行うことが可能になるため、ひいてはシステムまたは回路における伝送効率を向上させることができるなどの効果を奏することができる。

【図面の簡単な説明】

【図1】本発明のメモリ制御システムおよびメモリ制御回路の構成例を示すブロック図である。

【図2】図1のメモリ制御部を示すブロック図である。

【図3】図2の動作概要を示すタイムチャートである。

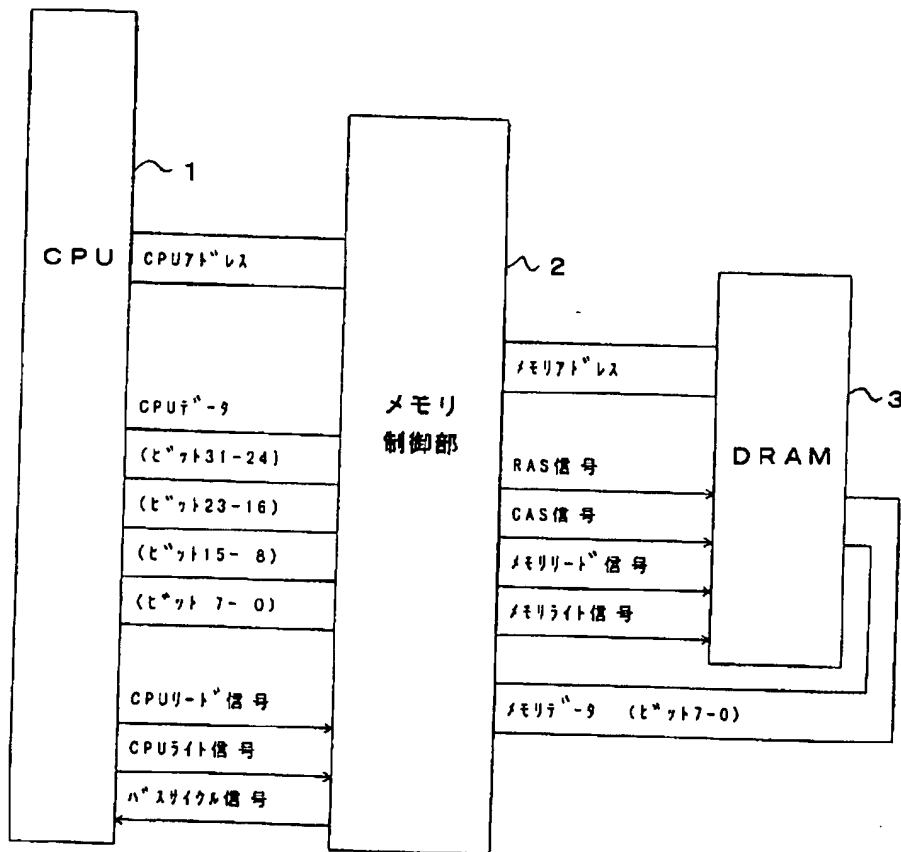
【図4】従来の技術による構成を示す図である。

【図5】従来の技術による構成を示す図である。

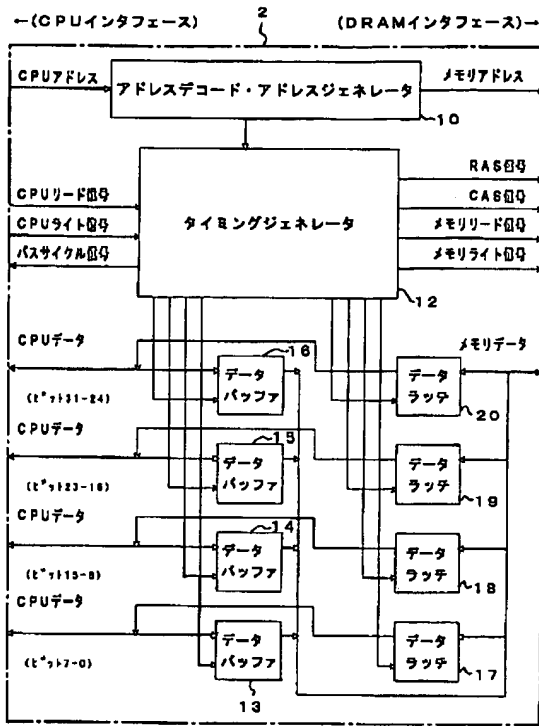
【符号の説明】

- 1 CPU
- 2 メモリ制御部
- 3 DRAM
- 10 アドレスデコード・アドレスジェネレータ
- 12 タイミングジェネレータ
- 13～16 データバッファ
- 17～20 データラッチ

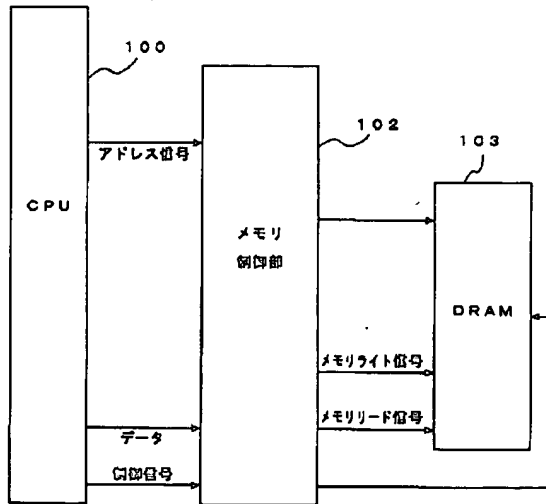
【図1】



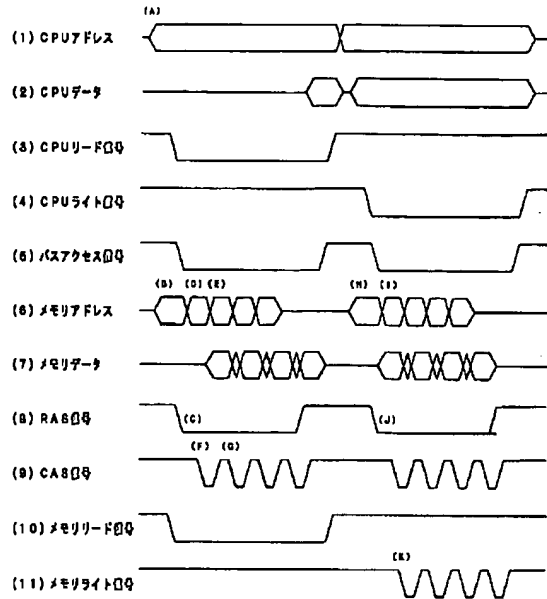
【図2】



【図4】



【図3】



【図5】

